

**Здравствуйтесь, ув. обучающиеся!**

**Учебная дисциплина:** Основы электроники и цифровой схемотехники

**Тема урока:** «Мультиплексоры и демультимплексоры»

**Задание к лекции:**

*Вам необходимо самостоятельно изучить текст лекции, выполнить задания и письменно ответить на контрольные вопросы.*

*Выполненную работу оформить письменно в рабочих тетрадях (либо в электронном виде) и отправить отдельным файлом (электронный документ) в личное сообщение через социальную сеть VK или на электронную почту преподавателя ([ol.sklyarova2015@gmail.com](mailto:ol.sklyarova2015@gmail.com)).*

*Если такой возможности нет, выполненное задание предоставить в распечатанном (рукописном) виде после возобновления занятий.*

## 1. КРАТКИЕ СВЕДЕНИЯ ИЗ ТЕОРИИ:

### План лекции:

1. Мультиплексоры.
2. Демультимплексоры.
3. Каскадное включение демультимплексоров

**Мультиплексор** – это комбинационная многовходовая схема с одним выходом. Входы мультиплексора подразделяются на информационные  $X_0, X_1, \dots, X_{n-1}$  и управляющие (адресные)  $A_0, A_1, \dots, A_{k-1}$ . Обычно  $2^k = n$ , где  $k$  и  $n$  – число адресных и информационных входов соответственно. Двоичный код, поступающий на адресные входы, определяет (выбирает) один из информационных входов, значение переменной с которого передается на выход  $y$ , т.е. мультиплексор реализует функцию:

$$y = X_i, \text{ если } \sum_{i=0}^{k-1} A_i \cdot 2^i = i \quad (1)$$

Таблица функционирования, описывающая работу мультиплексора, имеющего, например,  $n = 4$  информационных ( $X_0, X_1, X_2, X_3$ ) и  $k = 2$  адресных ( $A_0, A_1$ ) входов, представлена в табл. 1.

Вариант схемной реализации мультиплексора “4-1” (“четыре в один”, т.е. коммутирующего данные от одного из четырех входов на единственный выход) и его условное графическое изображение представлены на рис. 1. Здесь мультиплексор построен как совокупность двухвходовых конъюкторов данных (их число равно числу информационных входов), управляемых

выходными сигналами дешифратора, дешифрирующего двоичный адресный код. Выходы конъюнкторов объединены схемой ИЛИ.

Таблица 1.

Таблица соответствия мультиплексора

$A_1$	$A_0$	$X_0$	$X_1$	$X_2$	$X_3$	$y$
0	0	0	*	*	*	0 } $X_0$ 1 }
0	0	1	*	*	*	
0	1	*	0	*	*	0 } $X_1$ 1 }
0	1	*	1	*	*	
1	0	*	*	0	*	0 } $X_2$ 1 }
1	0	*	*	1	*	
1	1	*	*	*	0	0 } $X_3$ 1 }
1	1	*	*	*	0	

\* - значение входа не влияет на значение  $y$

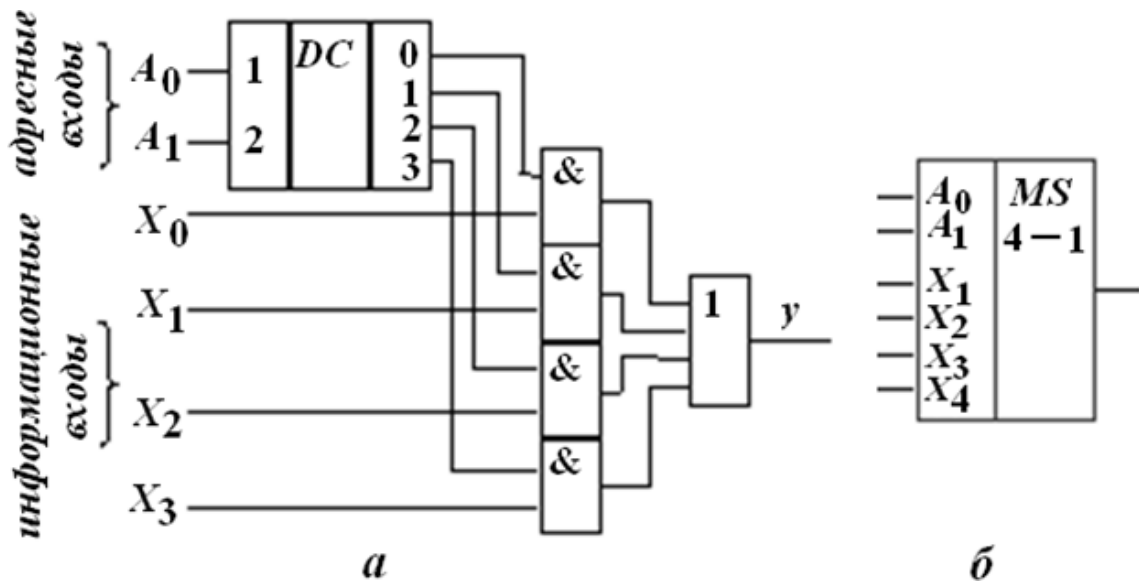


Рис. 1. Схема мультиплексора с дешифратором (а), условное обозначение мультиплексора (б)

В интегральном исполнении применяется более простая схема, в которой конъюнкторы дешифратора одновременно выполняют и функцию конъюнкторов данных. Работа мультиплексора при этом описывается соотношением

$$y = X_0 \overline{A_1 A_0} + X_1 \overline{A_1} A_0 + X_2 A_1 \overline{A_0} + X_3 A_1 A_0. \quad (2)$$

Из (2) следует, что при любом значении адресного кода все слагаемые, кроме одного равны нулю. Ненулевое слагаемое равно  $X_i$ , где  $i$  – значение текущего адресного кода.

В соответствии с этим соотношением строятся реальные схемы мультиплексоров, одна из которых для мультиплексора “четыре в один” приведена на рис. 2. Как правило, схема дополняется входом разрешения работы –  $E$ .

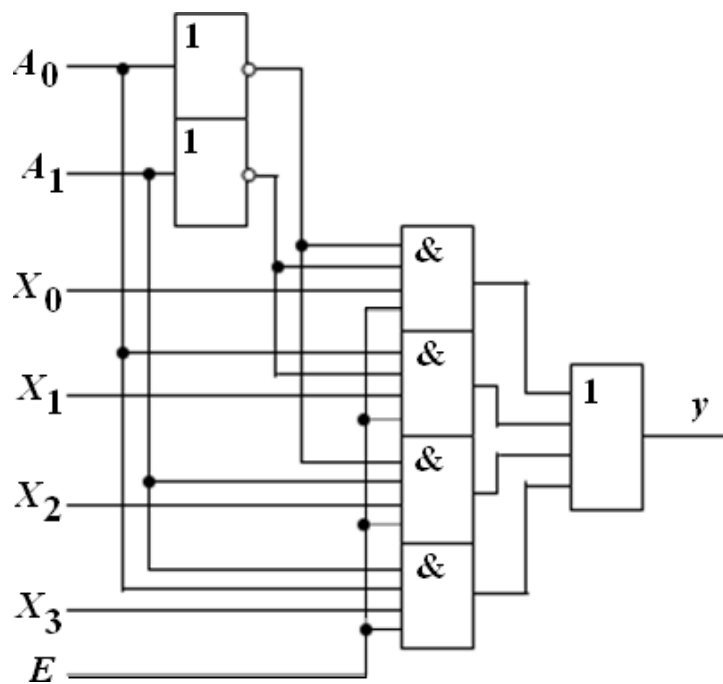


Рис. 2. Схема мультиплексора “4-1”

В тех случаях, когда функциональные возможности мультиплексоров не удовлетворяют разработчиков по числу информационных входов, прибегают к их каскадированию с целью наращивания числа входов до требуемого значения.

Наиболее универсальный способ наращивания размерности мультиплексора состоит в построении пирамидальной структуры, состоящей из нескольких мультиплексоров. При этом первый ярус схемы представляет собой столбец, содержащий столько мультиплексоров, сколько необходимо для получения нужного числа информационных входов. Все мультиплексоры этого столбца коммутируются одним и тем же адресным кодом, составленным из соответствующего числа младших разрядов общего адресного кода. Старшие разряды адресного кода используются во втором ярусе, мультиплексор которого обеспечивает поочередную работу мультиплексоров первого яруса на общий выход.

Пирамидальная схема, выполняющая функцию мультиплексора “16-1” и построенная на мультиплексорах “4-1”, показана на рис. 3.

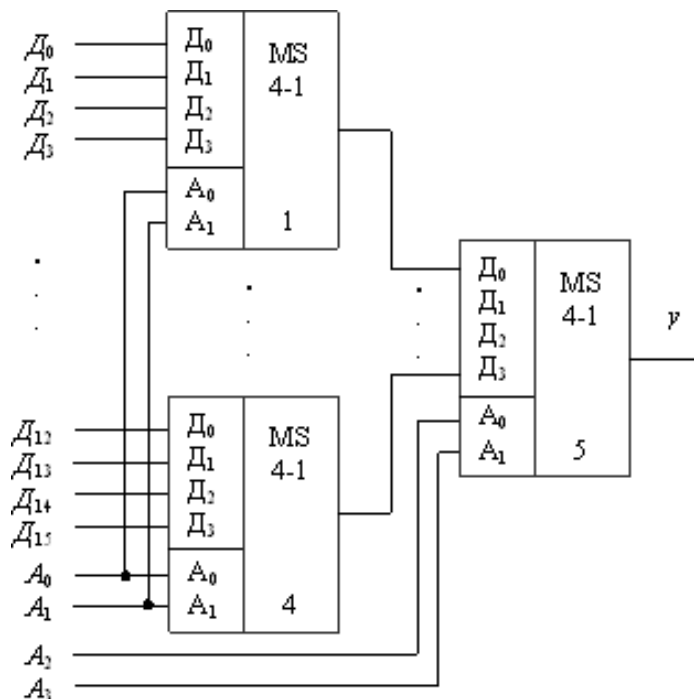


Рис.3. Каскадное соединение мультиплексоров

**Демультимплексоры** в функциональном отношении противоположны мультиплексорам. Здесь сигналы с одного информационного входа распределяются в желаемой последовательности по нескольким выходам. Выбор нужной выходной шины, как и в мультиплексорах, обеспечивается кодом на адресных входах. При  $m$ -адресных входах демультимплексор может иметь в зависимости от конструкции до  $2^m$ -выходов. Логическая структура простого демультимплексора вида 1:4 представлена на рис 4, а. Здесь  $A_1, A_2$  – адресные ходы,  $X_1$  -информационный вход. Возможен также разрешающий вход. Схема функционирует согласно таблице 2.

*Таблица 2*

Таблица истинности демультимплексора

$A_1$	$A_2$	$X$	$F_1$	$F_2$	$F_3$	$F_4$
0	0	1	1	0	0	0
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	1

Условное графическое изображение демультимплексора представлено на рис. 4, б. На рис. 4, в дана схема объединения мультиплексора и демультимплексора для последовательной передачи данных.

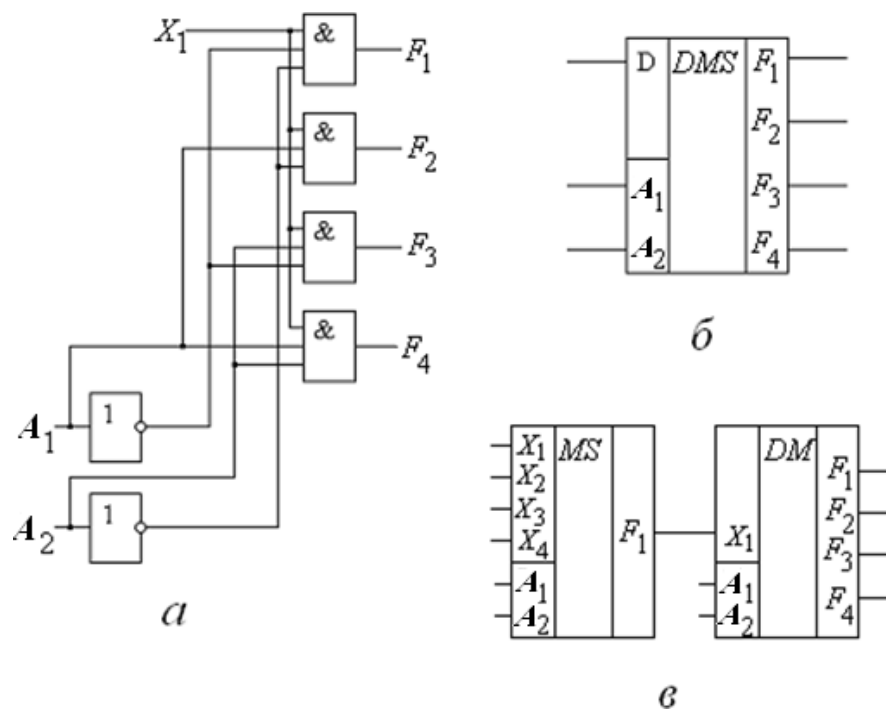


Рис. 4. Схема демультиплексора с прямыми управляющими входами

Для наращивания числа выходов демультиплексора используют каскадное включение демультиплексоров. В качестве примера (рис. 5) рассмотрим построение демультиплексоров с 16 выходами (1→16) на основе демультиплексоров с 4 выходами (1→4). При наличии на адресных шинах  $A_0$  и  $A_1$  нулей информационный вход  $X$  подключен к верхнему выходу  $DMX_0$  и в зависимости от состояния адресных шин  $A_2$  и  $A_3$  он может быть подключен к одному из выходов  $DMX_1$ . Так, при  $A_2 = A_3 = 0$  вход  $X$  подключен к  $Y_0$ . При  $A_0 = 1$  и  $A_1 = 0$  вход  $X$  подключен к  $DMX_2$ , в зависимости от состояния  $A_2$  и  $A_3$  вход соединяется с одним из выходов  $Y_4 \rightarrow Y_7$  и т. д.

При наличии на адресных шинах  $A_0$  и  $A_1$  нулей информационный вход  $X$  подключен к верхнему выходу  $DMX$  и в зависимости от состояния адресных шин  $A_2$  и  $A_3$  он может быть подключен к одному из выходов  $DMX_1$ . Так, при  $A_2 = A_3 = 0$  вход  $X$  подключен к  $Y_3$ . При  $A_0 = 1$  и  $A_1 = 0$  вход  $X$  подключен к  $DMX_2$ , в зависимости от состояния  $A_2$  и  $A_3$  вход соединяется с одним из выходов  $Y_4 \div Y_7$  и т. д.

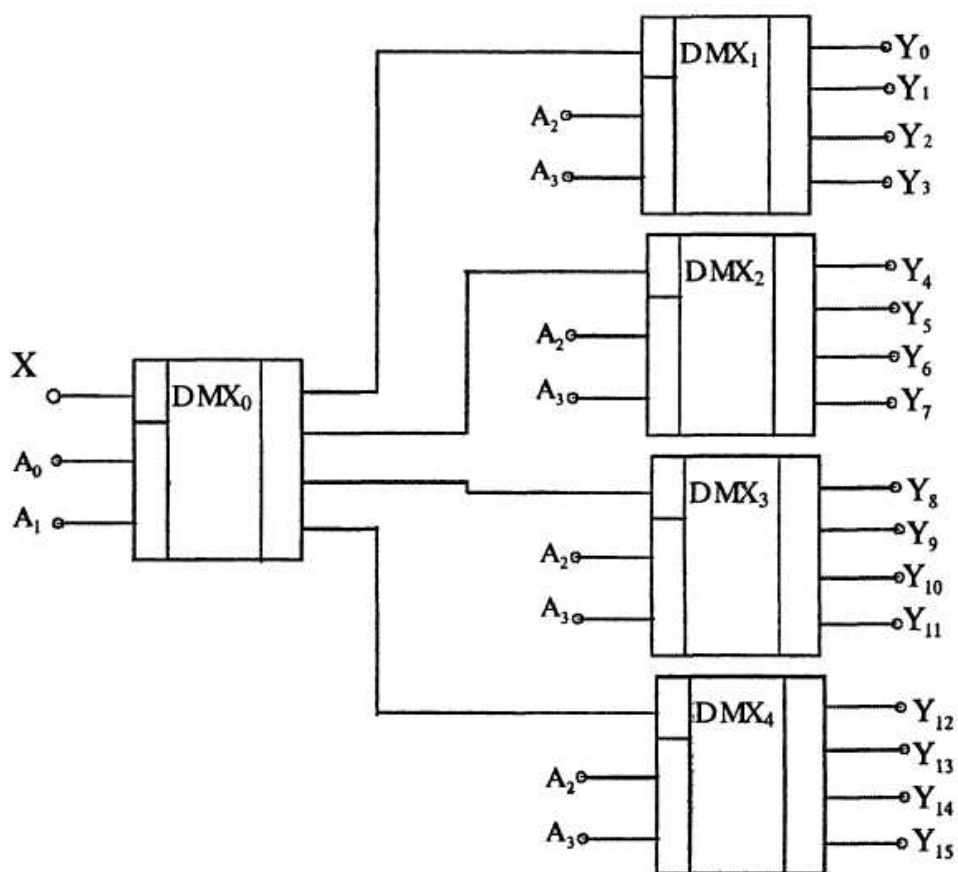


Рис 5. Каскадное включение демультиплексоров

Функции демультиплексоров сходны с функциями дешифраторов. Дешифратор можно рассматривать как демультиплексор, у которого информационный вход поддерживает напряжение выходов в активном состоянии, а адресные входы выполняют роль входов дешифратора. Поэтому в обозначении как дешифраторов, так и демультиплексоров используются одинаковые буквы – ИД.

## 2. ЗАДАНИЯ К ЛЕКЦИИ

1. Ознакомиться с теоретическим материалом лекции.
2. Кратко записать конспект.
3. Ответить на контрольные вопросы.

## 3. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Что такое мультиплексор, демультиплексор?
2. Какие входы содержит мультиплексор?
3. Сколько информационных входов будет содержать мультиплексор, если адресных входов 3?
4. Что такое процесс каскадирования? Когда его применяют?
5. Как условно обозначаются мультиплексоры и демультиплексоры на схемах?

*Здравствуйте, ув. обучающиеся!*

**Учебная дисциплина:** Основы электроники и цифровой схемотехники

**Тема урока:** «Цифровые компараторы»

**Задание к лекции:**

*Вам необходимо самостоятельно изучить текст лекции, выполнить задания и письменно ответить на контрольные вопросы.*

*Выполненную работу оформить письменно в рабочих тетрадях (либо в электронном виде) и отправить отдельным файлом (электронный документ) в личное сообщение через социальную сеть VK или на электронную почту преподавателя ([ol.sklyarova2015@gmail.com](mailto:ol.sklyarova2015@gmail.com)).*

*Если такой возможности нет, выполненное задание предоставить в распечатанном (рукописном) виде после возобновления занятий.*

### 1. КРАТКИЕ СВЕДЕНИЯ ИЗ ТЕОРИИ:

Цифровые компараторы (от английского compare — сравнивать) выполняют сравнение двух чисел А, В одинаковой разрядности, заданных в двоичном или двоично-десятичном коде. В зависимости от схемного исполнения компараторы могут определять равенство  $A=B$  или неравенства  $A<B$ ,  $A>B$ . Результат сравнения отображается в виде логического сигнала на одноименных выходах.

Функционирование компаратора описывается следующими уравнениями:

$$Y_1(A, B) = \begin{cases} 1 & \text{при } A = B \\ 0 & \text{при } A \neq B \end{cases}$$

$$Y_2(A, B) = \begin{cases} 1 & \text{при } A > B \\ 0 & \text{при } A \leq B \end{cases}$$

$$Y_3(A, B) = \begin{cases} 1 & \text{при } A < B \\ 0 & \text{при } A \geq B \end{cases}$$

По полученным выражениям составим таблицу истинности (таблица 3).

Таблица 3.

Таблица истинности компаратора

$a$	$b$	$y_1(a=b)$	$y_2(a>b)$	$y_3(a<b)$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0



Из таблицы 3 получаем функции  $y_1, y_2, y_3$ :

$y_{1i} = \overline{A_i} \cdot \overline{B_i} + A_i \cdot B_i$  - функция равнозначности.

$$y_{2i} = A_i \cdot \overline{B_i}$$

$$y_{3i} = \overline{A_i} \cdot B_i$$

Функция  $y_1$  носит название функции равнозначности (эквивалентности).

Построим компаратор на логических элементах. Схема одноразрядного компаратора приведена на рис. 5.

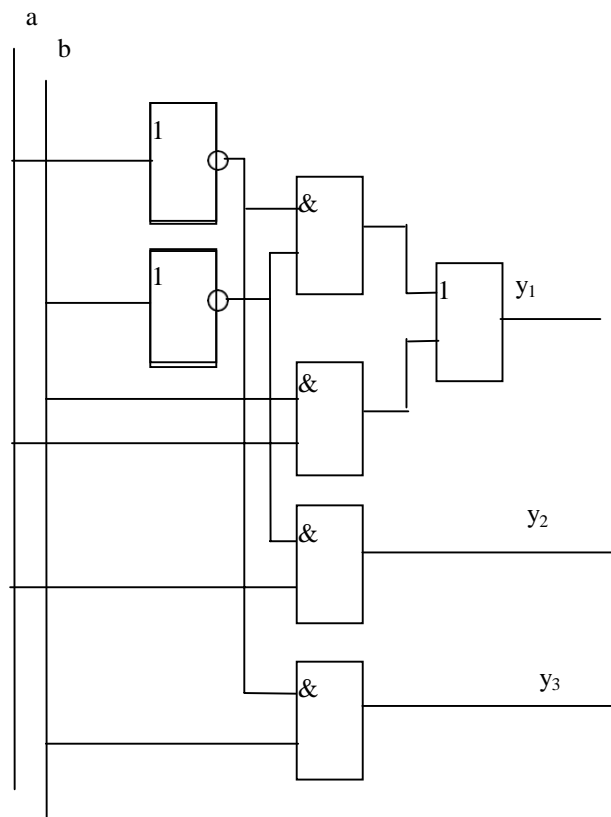


Рис.5 – Логическая схема одноразрядного компаратора

Компаратор состоит из двух элементов ИЛИ-НЕ, четырех элементов И, и одного элемента ИЛИ.

Чаще всего задача состоит в определении равнозначности двух многоразрядных чисел  $A$  и  $B$ . Такое сравнение реализуется переключательными функциями. Для каждого разряда  $i$  можно записать:

$$Z_{1i} = A_i \cdot \overline{B_i} + \overline{A_i} \cdot B_i.$$

Это равенство должно выполняться для всех  $n$  разрядов, т.е. выходной сигнал

$$Z = (\overline{A_1} \cdot \overline{B_1} + A_1 \cdot B_1) \cdot (\overline{A_2} \cdot \overline{B_2} + A_2 \cdot B_2) \cdot \dots \cdot (\overline{A_n} \cdot \overline{B_n} + A_n \cdot B_n).$$

Схемы компаратора приведены на рис. 6 и 7.

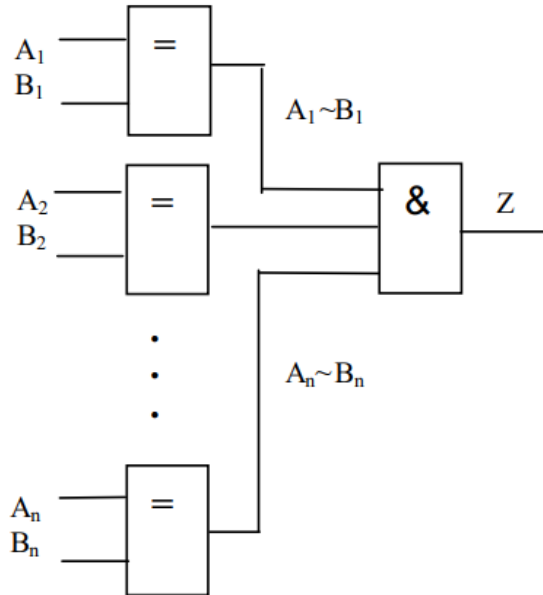


Рис. 6. Многоразрядный компаратор на элементах «равнозначность»

При сравнении многоразрядных чисел алгоритм такой — сначала сравнивают значения старших разрядов; если они различны, то эти разряды и определяют результат сравнения. Если же они равны, то необходимо сравнивать следующие за ним более младшие разряды и т.д.

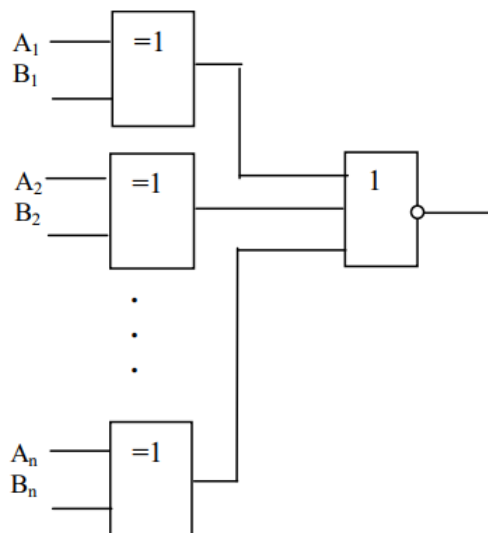


Рис. 7. Многоразрядный компаратор на элементах «неравнозначность»  
(исключающее ИЛИ)

Условное графическое обозначение цифрового компаратора приведено на рис. 8.

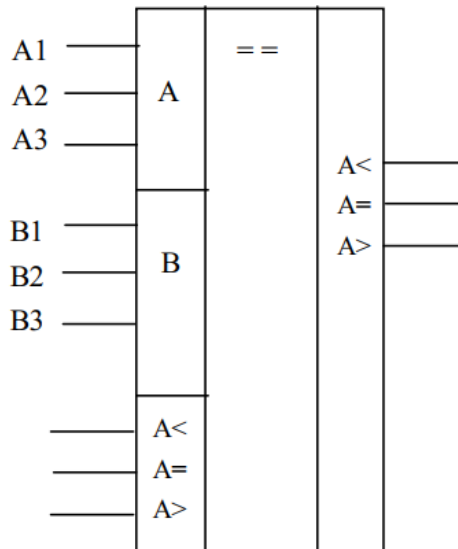


Рис. 8. Условное обозначение цифрового компаратора.

Цифровые компараторы применяются для выявления нужного числа (слова) в цифровых последовательностях, для отметки времени в часовых приборах, для выполнения условных переходов в вычислительных устройствах, а также в адресных селекторах.

## 2. ЗАДАНИЯ К ЛЕКЦИИ

1. Ознакомиться с теоретическим материалом лекции.
2. Кратко записать конспект.
3. Ответить на контрольные вопросы.

## 3. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Для чего нужны цифровые компараторы?
2. Из каких логических элементов состоит компаратор?
3. По какому принципу сравниваются многоразрядные числа?